

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-270714

(43)Date of publication of application : 09.10.1998

(51)Int.CI.

H01L 29/84

G01C 19/56

G01P 9/04

(21)Application number : 09-072956

(71)Applicant : MITSUBISHI MATERIALS CORP

(22)Date of filing : 26.03.1997

(72)Inventor : SHIBATANI HIROSHI

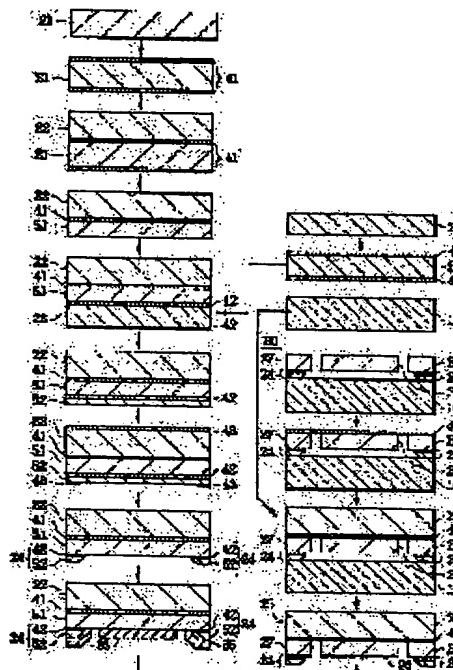
MURAISHI KENSUKE

(54) MANUFACTURE OF SEMICONDUCTOR INERTIA SENSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To ensure a high sensitivity high accuracy semiconductor inertia sensor which does not require laser processing, which is suitable for high volume production, and which has low parasitic capacitance and has excellent interelectrode gap formation accuracy.

SOLUTION: A laminate is formed which includes a second single crystal silicon layer 52, a second oxide film 42, a first single crystal silicon layer 51, a first oxide film 41, and a second silicon wafer 22. Then, the second single crystal silicon layer and the second oxide film are selectively etched and removed to form a spacer layer 24 composed of the second single crystal silicon layer and the second oxide film. The first single crystal silicon layer is selectively etched and removed to form a structure including a movable electrode 26 composed of the second silicon wafer, first oxide film, and single crystal silicon, fixed electrodes 27, 28 composed of the single crystal silicon, and the spacer layer, and the structure is joined with a glass substrate 10 through the spacer layer 24. The second silicon wafer and the first oxide film are etched and removed in succession to configure the semiconductor inertia sensor 30.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-270714

(43)公開日 平成10年(1998)10月9日

(51)Int.Cl.⁶
H 01 L 29/84
G 01 C 19/56
G 01 P 9/04

識別記号

F I
H 01 L 29/84
G 01 C 19/56
G 01 P 9/04

Z

(21)出願番号 特願平9-72956
(22)出願日 平成9年(1997)3月26日

審査請求 未請求 請求項の数3 OL (全9頁)

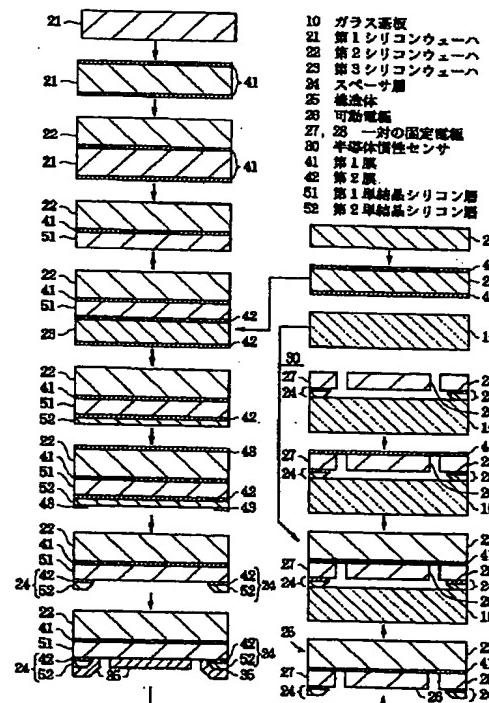
(71)出願人 000006264
三菱マテリアル株式会社
東京都千代田区大手町1丁目5番1号
(72)発明者 柴谷 博志
埼玉県大宮市北袋町1丁目297番地 三菱
マテリアル株式会社総合研究所内
(72)発明者 村石 賢介
埼玉県大宮市北袋町1丁目297番地 三菱
マテリアル株式会社総合研究所内
(74)代理人 弁理士 須田 正義

(54)【発明の名称】 半導体慣性センサの製造方法

(57)【要約】

【課題】 レーザ加工が不要で大量生産に適し、寄生容量が低く、電極間ギャップ形成精度に優れた高感度で高精度の半導体慣性センサを得る。

【解決手段】 第2単結晶シリコン層52と第2酸化膜42と第1単結晶シリコン層51と第1酸化膜41と第2シリコンウェーハ22とからなる積層体を形成する。第2単結晶シリコン層及び第2酸化膜を選択的にエッチング除去して第2単結晶シリコン層と第2酸化膜とからなるスペーサ層24を形成する。第1単結晶シリコン層を選択的にエッチング除去して、第2シリコンウェーハと第1酸化膜と単結晶シリコンからなる可動電極26と単結晶シリコンからなる固定電極27, 28とスペーサ層とを有する構造体25を形成する。構造体をスペーサ層24を介してガラス基板10に接合する。第2シリコンウェーハと第1酸化膜を順次エッチング除去して半導体慣性センサ30を得る。



【特許請求の範囲】

【請求項 1】 両面にシリコンを浸食せずにエッティング可能な第 1 膜 (41) を有する第 1 シリコンウェーハ (21) に第 2 シリコンウェーハ (22) を貼り合わせる工程と、前記第 1 シリコンウェーハ (21) の片面を所定の厚さに研磨して第 1 単結晶シリコン層 (51) を形成する工程と、両面にシリコンを浸食せずにエッティング可能な第 2 膜 (42) を有する第 3 シリコンウェーハ (23) を前記第 1 単結晶シリコン層 (51) に貼り合わせる工程と、前記第 3 シリコンウェーハ (23) の片面を所定の厚さに研磨して第 2 単結晶シリコン層 (52) を形成する工程と、第 2 単結晶シリコン層 (52) 及びその下側の第 2 膜 (42) を選択的にエッティング除去して前記第 1 単結晶シリコン層 (51) を露出させ、残留した第 2 単結晶シリコン層 (52) と第 2 膜 (42) とからなるスペーサ層 (24) を形成する工程と、前記露出した第 1 単結晶シリコン層 (51) を選択的にエッティング除去し、これにより前記第 1 膜 (41) 上に単結晶シリコンからなる可動電極 (26) を形成し、かつ前記第 1 膜 (41) 上において前記可動電極 (26) の両側に位置して前記スペーサ層 (24) に接続する単結晶シリコンからなる一対の固定電極 (27, 28) を形成する工程と、前記第 2 シリコンウェーハ (22) と前記第 1 膜 (41) と前記可動電極 (26) と前記固定電極 (27, 28) と前記スペーサ層 (24) とを有する構造体 (25) を前記可動電極 (26) がガラス基板 (10) に対向するように前記スペーサ層 (24) を介してガラス基板 (10) に接合する工程と、前記第 2 シリコンウェーハ (22) を前記第 1 膜 (41) をエッチストップ層としてエッティング除去する工程と、前記第 1 膜 (41) をエッティング除去することにより前記一対の固定電極 (27, 28) と前記固定電極 (27, 28) に挟まれかつ前記ガラス基板 (10) の上方に浮動する前記可動電極 (26) とを有する半導体慣性センサ (30) を得る工程とを含む半導体慣性センサの製造方法。

【請求項 2】 ガラス基板 (10) 上に検出電極 (12) を形成する工程と、両面にシリコンを浸食せずにエッティング可能な第 1 膜 (41) を有する第 1 シリコンウェーハ (21) に第 2 シリコンウェーハ (22) を貼り合わせる工程と、前記第 1 シリコンウェーハ (21) の片面を所定の厚さに研磨して第 1 単結晶シリコン層 (51) を形成する工程と、両面にシリコンを浸食せずにエッティング可能な第 2 膜 (42) を有する第 3 シリコンウェーハ (23) を前記第 1 単結晶シリコン層 (51) に貼り合わせる工程と、前記第 3 シリコンウェーハ (23) の片面を所定の厚さに研磨して第 2 単結晶シリコン層 (52) を形成する工程と、第 2 単結晶シリコン層 (52) 及びその下側の第 2 膜 (42) を選択的にエッティング除去して前記第 1 単結晶シリコン層 (51) を露出させ、残留した第 2 単結晶シリコン層 (52) と第 2 膜 (42) とからなるスペーサ層 (24) を形成する工程と、前記露出した第 1 単結晶シリコン層 (51) を選択的にエッティング除去し、これにより前記第 1 膜 (41) 上に単結晶シリコンからなる可動電極 (26) を形成し、かつ前記第 1 膜 (41) 上において前記可動電極 (26) の両側に位置して前記スペーサ層 (24) に接続する単結晶シリコンからなる一対の固定電極 (27, 28) を形成する工程と、前記第 2 シリコンウェーハ (22) と前記第 1 膜 (41) と前記可動電極 (26) と前記固定電極 (27, 28) と前記スペーサ層 (24) とを有する構造体 (25) を前記可動電極 (26) が前記検出電極 (12) に対向するように前記スペーサ層 (24) を介して前記ガラス基板 (10) に接合する工程と、前記第 2 シリコンウェーハ (22) を前記第 1 膜 (41) をエッチストップ層としてエッティング除去する工程と、前記第 1 膜 (41) をエッティング除去することにより前記一対の固定電極 (27, 28) と前記固定電極 (27, 28) に挟まれかつ前記ガラス基板 (10) 上に前記検出電極 (12) に対向して浮動する前記可動電極 (26) を有する半導体慣性センサ (50) を得る工程とを含む半導体慣性センサの製造方法。

と、

前記露出した第 1 単結晶シリコン層 (51) を選択的にエッティング除去し、これにより前記第 1 膜 (41) 上に単結晶シリコンからなる可動電極 (26) を形成する工程と、前記第 2 シリコンウェーハ (22) と前記第 1 膜 (41) と前記可動電極 (26) と前記スペーサ層 (24) とを有する構造体 (25) を前記可動電極 (26) が前記検出電極 (12) に対向するように前記スペーサ層 (24) を介して前記ガラス基板 (10) に接合する工程と、前記第 2 シリコンウェーハ (22) を前記第 1 膜 (41) をエッチストップ層としてエッティング除去する工程と、前記第 1 膜 (41) をエッティング除去することにより前記ガラス基板 (10) 上に前記検出電極 (12) に対向して浮動する前記可動電極 (26) を有する半導体慣性センサ (40) を得る工程とを含む半導体慣性センサの製造方法。

【請求項 3】 ガラス基板 (10) 上に検出電極 (12) を形成する工程と、両面にシリコンを浸食せずにエッティング可能な第 1 膜 (41) を有する第 1 シリコンウェーハ (21) に第 2 シリコンウェーハ (22) を貼り合わせる工程と、前記第 1 シリコンウェーハ (21) の片面を所定の厚さに研磨して第 1 単結晶シリコン層 (51) を形成する工程と、両面にシリコンを浸食せずにエッティング可能な第 2 膜 (42) を有する第 3 シリコンウェーハ (23) を前記第 1 単結晶シリコン層 (51) に貼り合わせる工程と、前記第 3 シリコンウェーハ (23) の片面を所定の厚さに研磨して第 2 単結晶シリコン層 (52) を形成する工程と、第 2 单結晶シリコン層 (52) 及びその下側の第 2 膜 (42) を選択的にエッティング除去して前記第 1 単結晶シリコン層 (51) を露出させ、残留した第 2 単結晶シリコン層 (52) と第 2 膜 (42) とからなるスペーサ層 (24) を形成する工程と、

前記露出した第 1 単結晶シリコン層 (51) を選択的にエッティング除去し、これにより前記第 1 膜 (41) 上に単結晶シリコンからなる可動電極 (26) を形成し、かつ前記第 1 膜 (41) 上において前記可動電極 (26) の両側に位置して前記スペーサ層 (24) に接続する単結晶シリコンからなる一対の固定電極 (27, 28) を形成する工程と、

前記第 2 シリコンウェーハ (22) と前記第 1 膜 (41) と前記可動電極 (26) と前記固定電極 (27, 28) と前記スペーサ層 (24) とを有する構造体 (25) を前記可動電極 (26) が前記検出電極 (12) に対向するように前記スペーサ層 (24) を介して前記ガラス基板 (10) に接合する工程と、

前記第 2 シリコンウェーハ (22) を前記第 1 膜 (41) をエッチストップ層としてエッティング除去する工程と、前記第 1 膜 (41) をエッティング除去することにより前記一対の固定電極 (27, 28) と前記固定電極 (27, 28) に挟まれかつ前記ガラス基板 (10) 上に前記検出電極 (12) に対向して浮動する前記可動電極 (26) を有する半導体慣性センサ (50) を得る工程とを含む半導体慣性センサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、静電容量型の加速度センサ、角速度センサ等に適する半導体慣性センサの製造方法に関するものである。

【0002】

【従来の技術】従来、この種の半導体慣性センサとして、①ガラス基板と単結晶シリコンの構造からなる共振角速度センサが提案されている (M. Hashimoto et al., 'Silicon Resonant Angular Rate Sensor', Technical Digest of the 12th Sensor Symposium, pp. 163-166 (1994))。このセンサは両側をトーションバーで浮動するようにした音叉構造の可動電極を有する。この可動電極は電磁駆動によって励振されている。角速度が作用すると可動電極にコリオリ力が生じて、可動電極がトーションバーの回りに捩り振動を起こして共振する。センサはこの可動電極の共振による可動電極と検出電極との間の静電容量の変化により作用した角速度を検出する。このセンサを作製する場合には、厚さ 200 μm 程度の結晶方位が (110) の単結晶シリコン基板を基板表面に対して垂直にエッチングして可動電極部分などの構造を作製する。この比較的厚いシリコン基板を垂直にエッチングするためには SF₆ガスによる異方性ドライエッティングを行うか、或いはトーションバーの可動電極部分への付け根の隅部に YAG レーザで孔あけを行った後に、KOH などでウエットエッティングを行っている。エッティング加工を行ったシリコン基板は陽極接合によりガラス基板と一体化される。

【0003】また別の半導体慣性センサとして、②シリコン基板上にエッティングで犠牲層をパターン化した後、除去することにより可動電極としてのポリシリコン振動子を形成したマイクロジャイロ (K. Tanaka et al., 'A micromachined vibrating gyroscope', Sensors and Actuators A 50, pp. 111-115 (1995)) が開示されている。このマイクロジャイロは、いわゆる表面マイクロマシニング技術を用いた構造となっている。具体的には、シリコン基板に不純物拡散によって検出電極を形成し、その上に犠牲層となるリン酸ガラス膜を成膜してバーニングした後、ポリシリコンを成膜し、更に垂直エッティング等の加工を行って構造体を形成する。最後に犠牲層をエッティングにより除去することにより、可動電極部分を切り離して検出電極に対してギャップを作り出し可動電極を浮動状態にする。

【0004】更に別の半導体慣性センサとして、③ガラス基板と単結晶シリコンの構造からなるジャイロスコープが提案されている (J. Bernstein et al., 'A Micromachined Comb-Drive Tuning Fork Rate Gyroscope', IEE E MEMS '93 Proceeding, pp. 143-148 (1993))。このジャイロスコープは、検出電極を形成したガラス基板と、エッティングを行った後に高濃度ボロン拡散を行って可動

電極、固定電極等を形成した単結晶シリコン基板とをボロン拡散を行った部分を接合面として接合し、更にボロンを拡散していないシリコン基板部分をエッティングにより除去することにより、作られる。

【0005】

【発明が解決しようとする課題】上記①～③の従来のセンサの製造技術には、次の欠点があった。①の共振角速度センサの製造方法では、ガラス基板に対して浮動する構造になるべきシリコン能動部が陽極接合時に静電引力によりガラス基板に貼り付いて可動電極にならないことがあった。この貼り付き (sticking) を防ぐために可動電極と検出電極とを短絡して静電力が働くことなく状態で陽極接合した後に、レーザを用いて短絡していた電極間を切り離していた。また島状の固定電極を形成するためにガラス基板に接合した後、レーザアシストエッティングを行う必要があった。これらのレーザ加工は極めて複雑であって、センサを量産しようとする場合には不適切であった。

【0006】②のマイクロジャイロは、シリコンウェーハを基板とするため、センサの寄生容量が大きく、感度や精度を高くすることが困難であった。更に③のジャイロスコープの製造方法では、ボロンを拡散した部分をエッチストップ部分として構造体全体を形成するため、エッチストップ効果が不完全の場合にはオーバーエッティングにより可動電極や固定電極の厚さが薄くなり、寸法精度に劣る問題点があった。更に①及び③においては、可動電極と検出電極との間のギャップはエッティング時間による制御のみに依存していたので、電極間のギャップ形成精度に問題があった。

【0007】本発明の目的は、レーザ加工が不要で大量生産に適する、低コストの半導体慣性センサの製造方法を提供することにある。本発明の別の目的は、寄生容量が低く、高感度で高精度の半導体慣性センサの製造方法を提供することにある。本発明の更に別の目的は、寸法精度に優れた半導体慣性センサの製造方法を提供することにある。

【0008】

【課題を解決するための手段】請求項 1 に係る発明は、図 1 に示すように、両面にシリコンを浸食せずにエッティング可能な第 1 膜 4 1 を有する第 1 シリコンウェーハ 2 1 に第 2 シリコンウェーハ 2 2 を貼り合わせる工程と、第 1 シリコンウェーハ 2 1 の片面を所定の厚さに研磨して第 1 単結晶シリコン層 5 1 を形成する工程と、両面にシリコンを浸食せずにエッティング可能な第 2 膜 4 2 を有する第 3 シリコンウェーハ 2 3 を第 1 単結晶シリコン層 5 1 に貼り合わせる工程と、第 3 シリコンウェーハ 2 3 の片面を所定の厚さに研磨して第 2 単結晶シリコン層 5 2 を形成する工程と、第 2 単結晶シリコン層 5 2 及びその下側の第 2 膜 4 2 を選択的にエッティング除去して第 1 単結晶シリコン層 5 1 を露出させ、残留した第 2 単結晶

シリコン層52と第2膜42とからなるスペーサ層24を形成する工程と、露出した第1単結晶シリコン層51を選択的にエッティング除去し、これにより第1膜41上に単結晶シリコンからなる可動電極26を形成し、かつ第1膜41上において可動電極26の両側に位置してスペーサ層24に接続する単結晶シリコンからなる一対の固定電極27, 28を形成する工程と、第2シリコンウェーハ22と第1膜41と可動電極26と固定電極27, 28とスペーサ層24とを有する構造体25を可動電極26がガラス基板10に対向するようにスペーサ層24を介してガラス基板10に接合する工程と、第2シリコンウェーハ22を第1膜41をエッチストップ層としてエッティング除去する工程と、第1膜41をエッティング除去することにより一対の固定電極27, 28と固定電極27, 28に挟まれかつガラス基板10の上方に浮動する可動電極26とを有する半導体慣性センサ30を得る工程とを含む半導体慣性センサの製造方法である。

【0009】請求項2に係る発明は、図4に示すように、ガラス基板10上に検出電極12を形成する工程と、両面にシリコンを浸食せずにエッティング可能な第1膜41を有する第1シリコンウェーハ21に第2シリコンウェーハ22を貼り合わせる工程と、第1シリコンウェーハ21の片面を所定の厚さに研磨して第1単結晶シリコン層51を形成する工程と、両面にシリコンを浸食せずにエッティング可能な第2膜42を有する第3シリコンウェーハ23を第1単結晶シリコン層51に貼り合わせる工程と、第3シリコンウェーハ23の片面を所定の厚さに研磨して第2単結晶シリコン層52を形成する工程と、第2単結晶シリコン層52及びその下側の第2膜42を選択的にエッティング除去して第1単結晶シリコン層51を露出させ、露した第2単結晶シリコン層52と第2膜42とからなるスペーサ層24を形成する工程と、露した第1単結晶シリコン層51を選択的にエッティング除去し、これにより第1膜41上に単結晶シリコンからなる可動電極26を形成する工程と、第2シリコンウェーハ22と第1膜41と可動電極26とスペーサ層24とを有する構造体25を可動電極26が検出電極12に対向するようにスペーサ層24を介してガラス基板10に接合する工程と、第2シリコンウェーハ22を第1膜41をエッチストップ層としてエッティング除去することにより一対の固定電極27, 28と固定電極27, 28に挟まれかつガラス基板10の上に検出電極12に対向して浮動する可動電極26とを有する半導体慣性センサ50を得る工程とを含む半導体慣性センサの製造方法である。

【0010】請求項3に係る発明は、図5に示すように、ガラス基板10上に検出電極12を形成する工程と、両面にシリコンを浸食せずにエッティング可能な第1膜41を有する第1シリコンウェーハ21に第2シリコンウェーハ22を貼り合わせる工程と、第1シリコンウェーハ21の片面を所定の厚さに研磨して第1単結晶シリ

リコン層51を形成する工程と、両面にシリコンを浸食せずにエッティング可能な第2膜42を有する第3シリコンウェーハ23を第1単結晶シリコン層51に貼り合わせる工程と、第3シリコンウェーハ23の片面を所定の厚さに研磨して第2単結晶シリコン層52を形成する工程と、第2単結晶シリコン層52及びその下側の第2膜42を選択的にエッティング除去して第1単結晶シリコン層51を露出させ、露した第2単結晶シリコン層52と第2膜42とからなるスペーサ層24を形成する工程と、露した第1単結晶シリコン層51を選択的にエッティング除去し、これにより第1膜41上に単結晶シリコンからなる可動電極26を形成し、かつ第1膜41上において可動電極26の両側に位置してスペーサ層24に接続する単結晶シリコンからなる一対の固定電極27, 28を形成する工程と、第2シリコンウェーハ22と第1膜41と可動電極26と固定電極27, 28とスペーサ層24とを有する構造体25を可動電極26が検出電極12に対向するようにスペーサ層24を介してガラス基板10に接合する工程と、第2シリコンウェーハ22を第1膜41をエッチストップ層としてエッティング除去する工程と、第1膜41をエッティング除去することにより一対の固定電極27, 28と固定電極27, 28に挟まれかつガラス基板10の上に検出電極12に対向して浮動する可動電極26とを有する半導体慣性センサ50を得る工程とを含む半導体慣性センサの製造方法である。

【0011】この請求項1ないし3に係る製造方法では、ウェーハのレーザ加工が不要で大量生産に適するため、低コストで半導体慣性センサを製造できる。また構造体25の構成部材は第2シリコンウェーハ22とこれに貼り合わせた第1シリコンウェーハ21を所定の厚さに研磨した単結晶シリコン層51から構成されるため、構造体の厚さを自由に選択できる。従って、構造体25をガラス基板10に接合する際のハンドリングが容易になるとともに可動電極26等の厚さを自由に設定できる。また基板にガラス基板を用いるので、得られる半導体慣性センサは寄生容量が低い。更に電極間のギャップはエッティング時間での制御ではなく第2単結晶シリコン層52と第2膜42とからなるスペーサ層24の厚さで規定されるので、寸法精度に優れる。このため高精度な半導体慣性センサが作られる。

【0012】なお、本明細書で、「シリコンを浸食せずにエッティング可能な膜」とは、当該膜をエッティング除去する際にシリコンが浸食されないエッチャントを選ぶことができる膜であることを意味する。このような性質の膜としては酸化膜や窒化膜等が挙げられる。本発明において、第2シリコンウェーハ22の結晶方位は、エッティング速度を考慮した場合、(110)方位のものが好ましく使用される。

【0013】

【発明の実施の形態】本発明の実施の形態を図面に基づ

いて詳しく説明する。図1及び図2に示すように、本発明の第1実施形態の半導体慣性センサ30は加速度センサであって、ガラス基板10上に第2単結晶シリコン層52と第2膜42とからなるスペーサ層24を介して固定された固定電極27及び28の間に可動電極26を有する。可動電極26、固定電極27及び28は、それぞれ単結晶シリコンからなり、電極26と電極27及び電極26と電極28の互いに対向する部分が櫛状に形成される。可動電極26は、ビーム31、31によりその両端が支持され、ガラス基板10に対して浮動になっている。ビーム31の基端部31aはガラス基板10上にスペーサ層24を介して固定される。図示しないが、ビーム基端部31a、固定電極27及び28には個別に電気配線がなされる。この半導体慣性センサ30では、可動電極26に対して、図の矢印で示すようにビーム基端部31aと31aを結ぶ線に直交する水平方向の加速度が作用すると、可動電極26はビーム31、31を支軸として振動する。可動電極26と固定電極27及び28の間の間隔が広がったり、狭またりすると、可動電極26と固定電極27及び28の間の静電容量が変化する。この静電容量の変化から作用した加速度が求められる。

【0014】次に、本発明の第1実施形態の半導体慣性センサ30の製造方法について述べる。図1に示すように、第1シリコンウェーハ21の両面にシリコンを浸食せずにエッチング可能な膜41を形成する。この膜41としては、シリコンウェーハを熱酸化することにより形成される酸化膜、或は化学気相成長(CVD)法でSi-H₂C₁₂又はSiH₄とNH₃ガスを用いて形成される窒化シリコン膜などが挙げられる。第1シリコンウェーハ21の両面に第1熱酸化膜41を形成した後、第2シリコンウェーハ22を第1シリコンウェーハ21に第1熱酸化膜41を介して貼り合わせる。第2シリコンウェーハ22が貼り合わされていない側の第1シリコンウェーハ21の表面をその上に形成されている第1熱酸化膜41と共に砥石及び研磨布を用いて所定の厚さに研削研磨して第1単結晶シリコン層51を形成する。また第3シリコンウェーハ23の両面に第2熱酸化膜42を形成する。この第3シリコンウェーハ23を第1単結晶シリコン層51に第2熱酸化膜42を介して貼り合わせる。第3シリコンウェーハ23の表面をその上に形成されている第2熱酸化膜42とともに砥石及び研磨布を用いて所定の厚さに研削研磨して第2単結晶シリコン層52を形成する。第2単結晶シリコン層52及び第2シリコンウェーハ22の表面を熱酸化した後、バターニングして第3熱酸化膜43を選択的に形成し、KOHなどのエッチャントによるウエットエッチングを行う。その結果、第3熱酸化膜43が形成されていない部分の第2単結晶シリコン層52がエッチング除去される。その後フッ酸等のエッチャントを用いて第2熱酸化膜42をエッチング除去することにより第1単結晶シリコン層51が露出

し、残留した第2単結晶シリコン層52と第2熱酸化膜42とからなる2層構造のスペーサ層24が形成される。第3熱酸化膜43を除去した後、スペーサ層24を含む第1単結晶シリコン層51の表面にスパッタリング及びバターニングによりA1層35を選択的に形成し、続いてSF₆ガスによる低温での異方性ドライエッチングを行う。これにより第1熱酸化膜41をエッチストップ層として第1単結晶シリコン層51が選択的にエッチングされ、その結果、第1熱酸化膜41上に単結晶シリコンからなる可動電極26が形成され、この可動電極26の両側に僅かに間隙をあけて単結晶シリコンからなる一対の固定電極27、28が形成される。A1層35を除去した後、第2シリコンウェーハ22と第1熱酸化膜41と可動電極26と一対の固定電極27、28とスペーサ層24を有する構造体25を可動電極26がガラス基板10に対向するようにスペーサ層24を介してガラス基板10に陽極接合する。続いて、KOHなどのエッチャントにより第2シリコンウェーハ22を第1熱酸化膜41をエッチストップ層としてエッチング除去する。次いでフッ酸などのエッチャントによるウエットエッチング又はCF₄などのエッチャントによるドライエッチングを行って、第1熱酸化膜41をエッチング除去する。これにより単結晶シリコンからなる可動電極26が単結晶シリコンからなる一対の固定電極27、28に挟まれてガラス基板10の上方に浮動に形成された半導体慣性センサ30が得られる。

【0015】図3及び図4は第2実施形態の半導体慣性センサ40を示す。この半導体慣性センサ40は加速度センサであって、ガラス基板10上に第2単結晶シリコン層52と第2膜42とからなるスペーサ層24を介して固定された枠体29の間に可動電極26を有する。可動電極26及び枠体29は、それぞれ単結晶シリコンからなり、可動電極26は窓枠状の枠体29に間隔をあけて収容される。可動電極26はビーム31、31によりその両端が支持され、ガラス基板10に対して浮動になっている。ビーム31の基端部31aは枠体29の凹み29aに位置しつつガラス基板10上にスペーサ層24を介して固定される。ガラス基板10上には検出電極12が形成される。図示しないが、ビーム基端部31a及び検出電極12には個別に電気配線がなされる。この半導体慣性センサ40では、可動電極26に対して、図の矢印で示すようにビーム基端部31aと31aを結ぶ線に直交する鉛直方向の加速度が作用すると、可動電極26はビーム31、31を支軸として振動する。可動電極26と検出電極12の間の間隔が広がったり、狭またりすると、可動電極26と検出電極12の間の静電容量が変化する。この静電容量の変化から作用した加速度が求められる。

【0016】次に、本発明の第2実施形態の半導体慣性センサ40の製造方法について述べる。図4に示すよう

に、先ずガラス基板10上にスパッタリング、真空蒸着などによりAu, Pt, Cuなどから選ばれた金属の薄膜からなる検出電極12を形成する。一方、第1実施形態の製造方法と同様に行い、第1シリコンウェーハ21を熱酸化することによりその両面に第1熱酸化膜41を形成する。次いで第2シリコンウェーハ22を第1シリコンウェーハ21に第1熱酸化膜41を介して貼り合わせる。第2シリコンウェーハ22が貼り合わされていない側の第1シリコンウェーハ21の表面をその上に形成されている第1熱酸化膜41と共に砥石及び研磨布を用いて所定の厚さに研削研磨して第1単結晶シリコン層51を形成する。また第3シリコンウェーハ23の両面に第2熱酸化膜42を形成する。この第3シリコンウェーハ23を第1単結晶シリコン層51に第2熱酸化膜42を介して貼り合わせる。第3シリコンウェーハ23の表面をその上に形成されている第2熱酸化膜42とともに砥石及び研磨布を用いて所定の厚さに研削研磨して第2単結晶シリコン層52を形成する。第2単結晶シリコン層52及び第2シリコンウェーハ22の表面を熱酸化した後、バーニングして第3熱酸化膜43を選択的に形成した後、KOHなどのエッチャントによるウエットエッチングを行う。その結果、第3熱酸化膜43が形成されていない部分の第2単結晶シリコン層52がエッチング除去される。その後フッ酸等のエッチャントを用いて第2熱酸化膜42をエッチング除去することにより第1単結晶シリコン層51が露出し、残留した第2単結晶シリコン層52と第2熱酸化膜42とからなる2層構造のスペーサ層24が形成される。第3熱酸化膜43を除去した後、スペーサ層24を含む第1単結晶シリコン層51の表面にスパッタリング及びバーニングによりAl層35を選択的に形成し、続いてSF₆ガスによる低温での異方性ドライエッチングを行う。これにより第1熱酸化膜41をエッチストップ層として第1単結晶シリコン層51が選択的にエッチングされ、その結果、第1熱酸化膜41上に単結晶シリコンからなる可動電極26が形成され、この可動電極26の両側に僅かに間隙をあけて単結晶シリコンからなる枠体29が形成される。Al層35を除去した後、第2シリコンウェーハ22と第1熱酸化膜41と可動電極26と枠体29とスペーサ層24を有する構造体25を可動電極26がガラス基板10の検出電極12に対向するようにスペーサ層24を介してガラス基板10に陽極接合する。続いて、KOHなどのエッチャントにより第2シリコンウェーハ22を第1熱酸化膜41をエッチストップ層としてエッチング除去する。次いでフッ酸などのエッチャントによるウエットエッチング又はCF₄などのエッチャントによるドライエッチングを行って、第1熱酸化膜41をエッチング除去する。これにより単結晶シリコンからなる可動電極26が単結晶シリコンからなる枠体29に囲まれて検出電極12に対向して浮動に形成された半導体慣性センサ4

0が得られる。

【0017】図5及び図6は第3実施形態の半導体慣性センサ50を示す。この半導体慣性センサ50は角速度センサであって、ガラス基板10上に第2単結晶シリコン層52と第2膜42とからなるスペーサ層24を介して固定された固定電極27及び28の間に音叉構造の一対の可動電極26, 26を有する。可動電極26、固定電極27及び28は、それぞれ単結晶シリコンからなり、電極26と電極27及び電極26と電極28の互いに対向する部分が櫛状に形成される。可動電極26, 26は、コ字状のビーム31, 31によりその両端が支持され、ガラス基板10に対して浮動になっている。ビーム31の基端部31aはガラス基板10上にスペーサ層24を介して固定される。ガラス基板10上には検出電極12が形成される。図示しないが、ビーム基端部31a、固定電極27及び28、検出電極12には個別に電気配線がなされ、固定電極27及び28に交流電圧を印加し、静電力により可動電極を励振するようになっている。この半導体慣性センサ50では、可動電極26, 26に対してビーム基端部31aと31aを結ぶ線を中心として角速度が作用すると、可動電極26, 26にコリオリカが生じてこの中心線の回りに振り振動を起こして共振する。この共振時の可動電極26と検出電極12との間の静電容量の変化により作用した角速度が検出される。

【0018】次に、本発明の第3実施形態の半導体慣性センサ50の製造方法について述べる。図5に示すように、先ず第2実施形態と同様にガラス基板10上にスパッタリング、真空蒸着などによりAu, Pt, Cuなどから選ばれた金属の薄膜からなる検出電極12を形成する。一方、第1実施形態の製造方法と同様に行い、第1シリコンウェーハ21を熱酸化することによりその両面に第1熱酸化膜41を形成する。次いで第2シリコンウェーハ22を第1シリコンウェーハ21に第1熱酸化膜41を介して貼り合わせる。第2シリコンウェーハ22が貼り合わされていない側の第1シリコンウェーハ21の表面をその上に形成されている第1熱酸化膜41と共に砥石及び研磨布を用いて所定の厚さに研削研磨して第1単結晶シリコン層51を形成する。また第3シリコンウェーハ23の両面に第2熱酸化膜42を形成する。この第3シリコンウェーハ23を第1単結晶シリコン層51に第2熱酸化膜42を介して貼り合わせる。第3シリコンウェーハ23の表面をその上に形成されている第2熱酸化膜42とともに砥石及び研磨布を用いて所定の厚さに研削研磨して第2単結晶シリコン層52を形成する。第2単結晶シリコン層52及び第2シリコンウェーハ22の表面を熱酸化した後、バーニングして第3熱酸化膜43を選択的に形成した後、KOHなどのエッチャントによるウエットエッチングを行う。その結果、第3熱酸化膜43が形成されていない部分の第2単結晶シリコン層52がエッチング除去される。その後フッ酸等のエッチャントを用いて第2熱酸化膜42をエッチング除去することにより第1単結晶シリコン層51が露出し、残留した第2単結晶シリコン層52と第2熱酸化膜42とからなる2層構造のスペーサ層24が形成される。第3熱酸化膜43を除去した後、スペーサ層24を含む第1単結晶シリコン層51の表面にスパッタリング及びバーニングによりAl層35を選択的に形成し、続いてSF₆ガスによる低温での異方性ドライエッチングを行う。これにより第1熱酸化膜41をエッチストップ層として第1単結晶シリコン層51が選択的にエッチングされ、その結果、第1熱酸化膜41上に単結晶シリコンからなる可動電極26が形成され、この可動電極26の両側に僅かに間隙をあけて単結晶シリコンからなる枠体29が形成される。Al層35を除去した後、第2シリコンウェーハ22と第1熱酸化膜41と可動電極26と枠体29とスペーサ層24を有する構造体25を可動電極26がガラス基板10の検出電極12に対向するようにスペーサ層24を介してガラス基板10に陽極接合する。続いて、KOHなどのエッチャントにより第2シリコンウェーハ22を第1熱酸化膜41をエッチストップ層としてエッチング除去する。次いでフッ酸などのエッチャントによるウエットエッチング又はCF₄などのエッチャントによるドライエッチングを行って、第1熱酸化膜41をエッチング除去する。これにより単結晶シリコンからなる可動電極26が単結晶シリコンからなる枠体29に囲まれて検出電極12に対向して浮動に形成された半導体慣性センサシ

リコン層52がエッティング除去される。その後フッ酸等のエッチャントを用いて第2熱酸化膜42をエッティング除去することにより第1単結晶シリコン層51が露出し、残留した第2単結晶シリコン層52と第2熱酸化膜42とからなる2層構造のスペーサ層24が形成される。第3熱酸化膜43を除去した後、スペーサ層24を含む第1単結晶シリコン層51の表面にスパッタリング及びバーニングによりA1層35を選択的に形成し、続いてSF₆ガスによる低温での異方性ドライエッティングを行う。これにより第1熱酸化膜41をエッチストップ層として第1単結晶シリコン層51が選択的にエッティングされ、その結果、第1熱酸化膜41上に単結晶シリコンからなる可動電極26が形成され、この可動電極26の両側に僅かに間隙をあけて単結晶シリコンからなる一対の固定電極27、28が形成される。A1層35を除去した後、第2シリコンウェーハ22と第1熱酸化膜41と可動電極26と一対の固定電極27、28とスペーサ層24を有する構造体25を可動電極26がガラス基板10の検出電極12に対向するようにスペーサ層24を介してガラス基板10に陽極接合する。続いて、KOHなどのエッチャントにより第2シリコンウェーハ22を第1熱酸化膜41をエッチストップ層としてエッティング除去する。次いでフッ酸などのエッチャントによるウエットエッティング又はCF₄などのエッチャントによるドライエッティングを行って、第1熱酸化膜41をエッティング除去する。これにより単結晶シリコンからなる可動電極26が単結晶シリコンからなる一対の固定電極27、28に挟まれて検出電極12に対向して浮動に形成された半導体慣性センサ50が得られる。

【0019】

【発明の効果】以上述べたように、従来のウェーハのレーザ加工による半導体慣性センサの製法と異なり、本發明によればウェーハのレーザ加工が不要となり、大量生産に適した低コストの半導体慣性センサを製作することができる。基板をシリコン基板でなく、ガラス基板にすることにより、静電容量で検出を行うセンサでは、素子の寄生容量が低下し、高感度で高精度の半導体慣性センサが得られる。可動電極、固定電極又は枠体などを構成する単結晶シリコン層が第2シリコンウェーハに支持された状態でシリコン基板に接合するため、従来のような

貼り付き(sticking)現象を生じず、検出電極やシリコン基板に対して所定のギャップで可動電極を設けることができる。また可動電極等は単結晶シリコンからなるため、多結晶シリコンや金属等と比べて機械的特性に優れる。またガラス基板上に検出電極が形成された構造においては、検出電極が形成されたガラス基板と可動電極とのギャップがスペーサ層の厚さで規定されるため、高精度にギャップを形成できる。

【図面の簡単な説明】

【図1】図2のA-A線要部に相当する本発明の第1実施形態の半導体慣性センサ及びその製造工程を示す断面図。

【図2】本発明の第1実施形態の半導体慣性センサの外観斜視図。

【図3】本発明の第2実施形態の半導体慣性センサの外観斜視図。

【図4】図3のB-B線要部に相当する本発明の第2実施形態の半導体慣性センサ及びその製造工程を示す断面図。

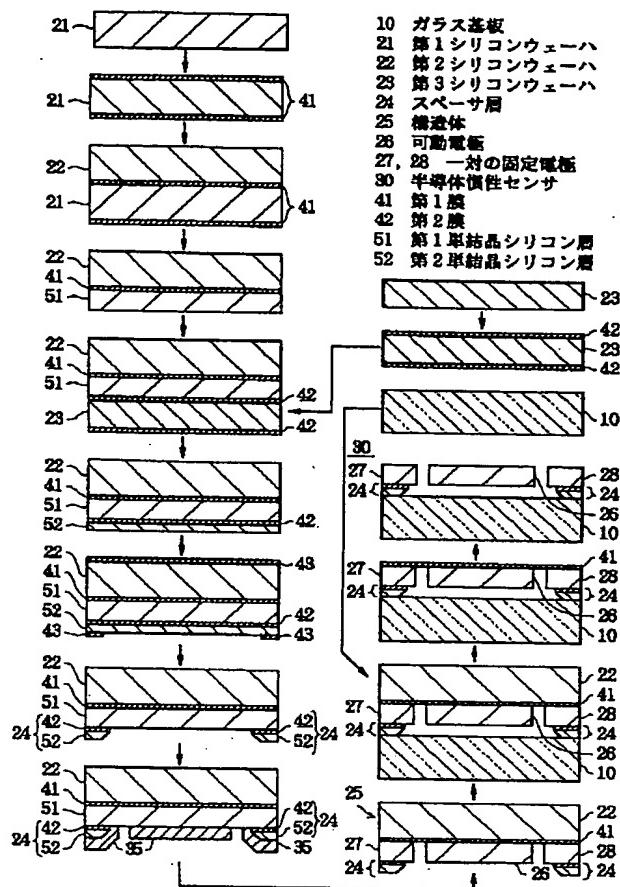
【図5】図6のC-C線要部に相当する本発明の第3実施形態の半導体慣性センサ及びその製造工程を示す断面図。

【図6】本発明の第3実施形態の半導体慣性センサの外観斜視図。

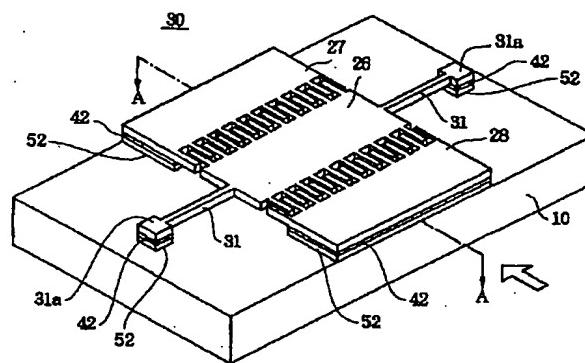
【符号の説明】

- 10 ガラス基板
- 12 検出電極
- 21 第1シリコンウェーハ
- 22 第2シリコンウェーハ
- 23 第3シリコンウェーハ
- 24 スペーサ層
- 25 構造体
- 26 可動電極
- 27, 28 一対の固定電極
- 30, 40, 50 半導体慣性センサ
- 41 第1膜
- 42 第2膜
- 51 第1単結晶シリコン層
- 52 第2単結晶シリコン層

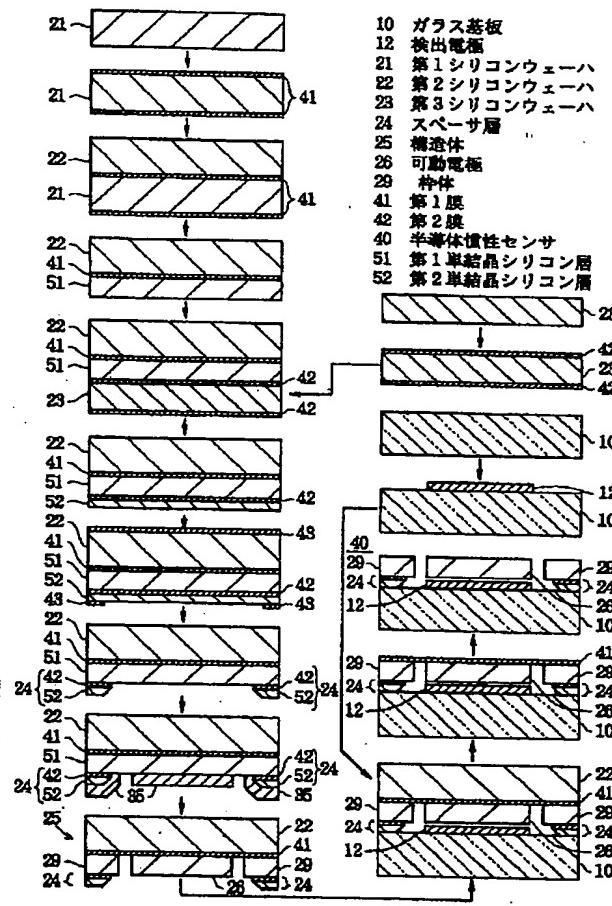
【図1】



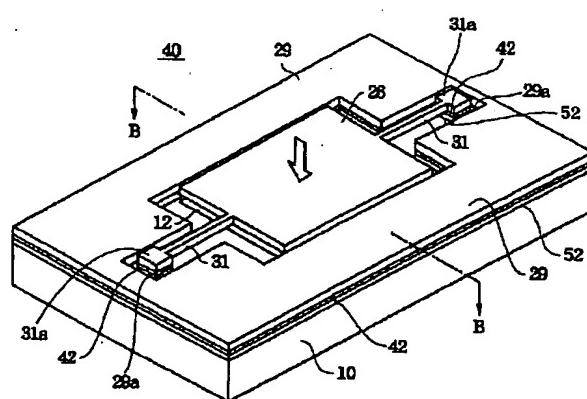
【図2】



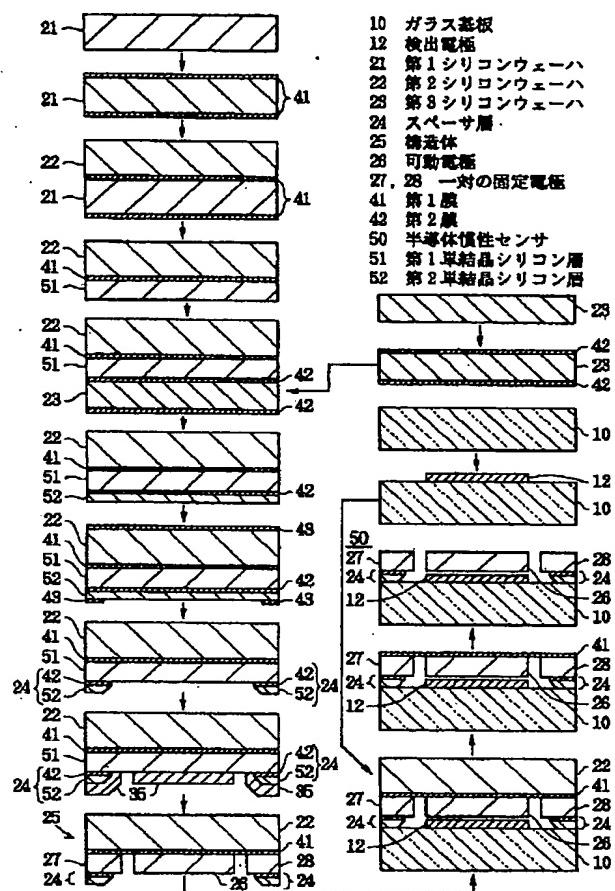
【図4】



【図3】



〔图5〕



【図6】

